

⑯ 日本国特許庁(JP)

⑰ 特許出願公開

⑱ 公開特許公報(A)

昭63-25708

① Int.Cl.

G 05 B 23/02
19/02
G 06 F 11/32

識別記号

3 0 1

庁内整理番号

D-7429-5H
P-7740-5H
7343-5B

② 公開 昭和63年(1988)2月3日

審査請求 未請求 発明の数 1 (全1頁)

④ 発明の名称 実行履歴表示装置

⑤ 特 願 昭61-169589

⑥ 出 願 昭61(1986)7月18日

⑦ 発 明 者 武 藤 利 満 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
⑧ 発 明 者 吉 澤 隆 司 茨城県日立市大みか町5丁目2番1号 株式会社日立製作所大みか工場内
⑨ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
⑩ 代 理 人 弁理士 鶴 沼 辰 之

明 細 書

1. 発明の名称

実行履歴表示装置

2. 特許請求の範囲

1. シーケンス制御プログラムを格納するプログラム記憶部と、外部信号の入出力を行う入出力部にデータ転送部を介して接続された、外部信号状態を記憶する外部信号データ記憶部と、この外部信号記憶部と前記プログラム記憶部の記憶内容をもとに実行状況をプログラム構造表示用データに変換するプログラム構造表示部と、プログラム構造を表示する表示装置と、全体を制御する処理装置とを備えた実行履歴表示装置において、

実行履歴収集のための条件を記憶する実行履歴収集条件記憶部と、

シーケンス制御プログラムの実行履歴を記憶する、前記外部信号記憶部よりも大きい領域を有する実行履歴記憶部と、

前記シーケンス制御プログラム中に組込まれ

た実行履歴収集命令を検出した時は前記実行履歴収集条件記憶部に格納された実行履歴収集条件に基づいて前記外部信号記憶部の内容を前記実行履歴記憶部に格納させる実行履歴収集処理部と、を備え、

前記実行履歴記憶部の内容を前記プログラム構造表示部により処理し、過去の実行履歴をプログラム構造として表示するようにしたことを特徴とする実行履歴表示装置。

2. プログラム構造表示部がラダーシーケンス図としてプログラム構造を表示させるものである特許請求の範囲第1項記載の実行履歴表示装置。

3. 発明の詳細な説明

(図表上の利用分野)

本発明は、実行履歴表示装置に係り、特にシーケンス制御装置の過去の任意のタイミングの制御状況を表示させるのに適した実行履歴表示装置に関するもので、特にニーザが作成するシーケンス制御プログラムのデバッグや故障診断に使用されるものである。

【従来の技術】

シーケンス制御プログラムの実行履歴を表示する実行履歴表示装置としては、従来、特開昭56-181153号に開示されたものの様に、トレースタイミングを外部より指示できる様にしたもの、特開昭58-134349号公報に開示されたものの様にトレースメモリを節約するために前回値と同一であればトレースを行わないようにした方式のものがある。しかし、これらは汎用的なトレース手段でありシーケンス制御装置の制御プログラムのデバッグや故障診断におけるトレース情報の表示を考慮して取扱いしているものではない。また、特開昭59-148908号公報に開示された装置のようにシーケンス制御状況を表示する装置が考えられているが、いずれも現在の制御状況を表示するものであり、過去の任意のタイミングでの制御状況の表示という点については配慮されていない。

プログラム中の予め設定された特定の命令をチェックポイントとして、このポイントを通じたか否かをトレースする装置としてプログラムトレ

ーサが知られているが、単に通過ポイントのトレースにすぎないため、プログラムのデバッグや故障診断には適さない。

第16図は、従来のシーケンス制御装置の全体構成を示すブロック図である。

キーボード等の入力装置9より入力されたユーザーのシーケンス制御プログラムは、プログラム入力部8によりプログラム記憶部3に格納されると共に、プログラム構成表示部2によりCRTディスプレイ装置等の表示装置7にプログラム構成図として表示される。

シーケンス制御を行うのに必要な外部信号の状態情報(ON/OFF)は外部信号入力部6において入出力され、PI/Oデータ転送部5を経て、PI/Oデータメモリ4に入出力される。なお、PI/Oデータ転送部5は一定周期でPI/Oデータメモリと外部信号入出力部間の転送を行い、PI/Oデータメモリに最新の入力信号状態を格納する。また、プログラム記憶部3に格納されたシーケンス制御プログラムは、処理装置1により

順次取り出され実行される。この際、各シーケンス制御命令がPI/Oデータメモリに対して入出力されることにより、PI/Oデータ転送部を通じて一連のシーケンス制御が行われる。

このようなシーケンス制御装置における、従来より行われているシーケンス制御状況の表示装置への表示の根拠は次の通りである。

入力装置9より指定された信号の状態及びシーケンス制御状況は、プログラム記憶部3で記憶されたシーケンス制御プログラムと、対象となるシーケンス制御プログラムがアクセスする、各シーケンス命令の実行中にPI/Oデータメモリのアドレスを記憶するPI/Oデータメモリの内容とを基にプログラム構成表示部2が画像信号に編成して表示装置7に表示している。

このような装置では、PI/Oデータメモリ4の内容はPI/Oデータ転送部5によつて常に最新のものに更新されるようになっていたため、表示装置に表示できる内容は表示の指示がされた時点の信号の状態である。

【発明が解決しようとする問題点】

ところで、シーケンス制御プログラムのデバッグや故障診断を行う場合には、指定された信号がONまたはOFFとなった時、どのような制御経過によりその結果が得られたか知りたい場合があるが、上述した装置ではPI/Oデータメモリ4の内容がプログラム構成表示部2とは非同期的に更新されるため、信号の変化(PI/Oデータメモリの変化)の状態によつては実行履歴がわからない場合があるという問題があった。また、異常発生時出力については、異常に対する制御は可能であるものの、被制御機器からの状態入力信号をそのまま保持することは困難である。

以下具体例で説明すると、第17図は、シーケンス制御プログラムの一例をラダーシーケンス回路図形式で表示したものである。

接点X001(21)がONとなると中間レジスタ(PI/Oデータメモリ104)R001(22)をONとし、接点X002(23)がONとなると中間レジスタT001を一定時間間

えば5秒間ONとする。ここで中間レジスタは一時その状態を記憶しておくレジスタがあり、入力および出力できるものである。接点R001(25)および接点T001(26)は中間レジスタ22、24の状態を入力とし、いずれかがONであれば中間レジスタK000(27)をONとする。また、接点K000(28)がONであれば中間レジスタY000(29)をONとする。

このようなシーケンス制御プログラムにおいて各接点の状態が第18図に示すタイミングチャートに従って時間的変化をしたとする。第16図に示した装置を用い、ある時点Aでこのプログラムの制御状況を表示した場合、第19図の横に表示され、Y000(29)がONになった時X002(23)、T001(24)がONであることがわかる。ところが、それより一定時間経過した時点Bでは第20図のように表示され、X002(23)、T001(24)はOFFとなっておりY000(29)がONになった時の実行履歴が残っていない。

〔作用〕

実行履歴収集処理部はシーケンス制御プログラム実行中にあらかじめプログラム中に挿入された収集命令に従って起動され、収集条件に基づいて外部信号データ記憶部内容を実行履歴記憶部に転送する。

一方、プログラム構造表示部は、プログラム構造表示が指示された時あらかじめ設定された実行履歴記憶部領域の内容により、プログラム構造表示用を使用する領域を読み出して入力装置より入力された部分のプログラム構造を表示装置に表示する。

このようにして、シーケンス制御対象の外部信号状態がある条件になった時に、その実行履歴が収集記憶されるため、条件成立時より一定時間経過した後でもその実行履歴を表示装置へのプログラム構造および状態表示という形で見ることが可能となる。

〔実施例〕

以下、本発明の一実施例を図面を参照しながら

このように従来の実行履歴表示装置では過去の制御状況を知ることができず、制御プログラムのデバッグや故障診断が効果的に行えないという問題があった。

本発明はこのような問題を解決するためになされたもので、その目的は、外部信号がある条件になった時の過去の実行履歴を被制御機器の状態や入力信号の状態が変化した後でも条件成立時の状態として表示できる実行履歴表示装置を提供することにある。

〔問題点を解決するための手段〕

上記目的は、プログラム記憶部、外部信号記憶部、プログラム構造表示部を有し、シーケンス制御プログラムとその実行による外部信号から実行状況をプログラム構造として表示する実行履歴表示装置において、実行履歴収集の条件が満足された時、シーケンス制御プログラムに組込まれた収集命令に基づいて実行履歴を実行履歴記憶部に記憶させる実行履歴収集処理部を備えることにより達成される。

詳細に説明する。

第1図は本発明にかかる実行履歴表示装置の構成を示すブロック図であつて、処理装置101には相互に接続されたプログラム構造表示部103、プログラム記憶部104、PI/Oデータ記憶部105が接続されており、PI/Oデータ記憶部105にはPI/Oデータ転送部111および外部信号入出力部112が接続され、また実行履歴トレース処理部106接続されている。この実行履歴トレース処理部106には実行履歴記憶部107、トレース条件記憶部108、トレース条件設定部109、入力装置110が接続されている。また、プログラム記憶部104は実行履歴トレース処理部106およびトレース条件設定部109と接続され、プログラム構造表示部103には表示装置102、実行履歴記憶メモリ107、入力装置110がそれぞれ接続されている。入力装置110にはプログラムを入力するためのプログラム入力部113も接続されている。

この装置の動作は次の通りである。

外部信号入出力部112で入力された信号の状態は、PI/Oデータ転送部111によつてPI/Oデータ記憶部105に格納される。また、プログラム記憶部104に格納されたシーケンス制御プログラムは、処理装置101によつて順次取り出されて実行され、PI/Oデータ記憶部105に対して入出力が行われる。PI/Oデータ記憶部105に出力されたデータは、PI/Oデータ転送部111によつて外部信号入出力部112に出力される。この際、PI/Oデータ転送部111は、シーケンスプログラムの実行とは非同期に動作し、入出力両方向のデータ転送を行う。

トレース条件設定部109は、入力装置110から指示された情報に従い、プログラム記憶部に格納されたシーケンス制御プログラム中に実行履歴トレース処理部106へリンクする命令を組み込み、また、トレース条件記憶部108にトレース開始および終了のための条件を設定する。この様なシーケンス制御プログラムは例えば第2図に示される。このシーケンス制御プログラムはシー

メモリ107に転送保存する。その後、トレース条件をチェックし、条件が成立していればトレースの終了処理を行う。この処理フローは第13図に示されており、後述する。

この際にして収集され実行履歴記憶メモリ107に記憶された実行履歴データは、プログラム構成表示部103によつて参照される。

プログラム構成表示部103は、通常、入力装置110より指定された信号とその周辺のシーケンス制御プログラムをプログラム記憶部104に格納されたシーケンス制御プログラムよりさがし出し、例えば、第2図で示されるランダーシーケンス回路のようなプログラム構成図として表示装置102に表示し、また、さがし出したシーケンスプログラムが記憶しているPI/Oデータメモリ105のアドレスからそのPI/Oデータメモリをアクセスし、接点のON/OFF状態をプログラム構成図に表示する。この表示方法としてはONとOFFで線の太さを変えたり、表示色を変えたり、表示輝度を変えたりする方法がある。

シーケンス制御命令(1)200₁～シーケンス制御命令(n)200_nより成っており、シーケンス制御命令(1)200₁とシーケンス制御命令(i+1)200_{i+1}との間には入出力データトレース部呼出命令201が挿入されている。この入出力データトレース部呼出命令201は実行履歴トレース処理部へリンクする命令を表わしており、シーケンス制御命令200₁から下方へ順に200_nまで実行して行く途中この呼出命令201が検出されると実行履歴トレース処理部106にジャンプし、トレース処理を開始する。トレース処理が完了すると201の次の命令200_{i+1}から再び実行が開始される。シーケンス制御命令200₁までの実行が完了すると、処理装置101により一定周期で再びシーケンス制御命令200₁から再実行が行われる。

入出力データトレース部呼出命令201の実行でリンクされた実行履歴トレース処理部106はトレース条件記憶部108をアクセスし、PI/Oデータメモリの内容を一括して実行履歴記憶メ

また、プログラム構成表示部103は、入力装置110で設定されたメモリNOおよび表示対象となつているシーケンス制御命令中のPI/Oデータメモリ105のアドレスから実行履歴記憶メモリ107のアドレスを算出し、PI/Oデータメモリ105に対応する値として取り出し、表示装置102に表示する。

このシーケンス制御装置を使用し、第16図に示されるシーケンス制御プログラムにおける実行履歴を収集しプログラム構成で表示装置に表示する様子を次に詳細に説明する。

まず、第16図のシーケンス回路図で示されるシーケンス制御プログラムは、命令ごとに第3図の点線で区画された部分301～311に分けられ、プログラム記憶部104内に第4図の様に各部分301～311にそれぞれ対応した命令およびシーケンス終了命令をアドレス401～412として格納されている。

また、本プログラムがアクセスするPI/Oデータメモリ105内には第5図に示す様にX001、

X002, R001, T001, X000,
Y000の各信号毎の状態が1ビットのON/
OFFの情報より成る状態情報としてアドレス
451~456として記憶されている。

一方、各々のシーケンス制御命令401~412
は第6図の様に分岐コード501、接点コード
502、PI/Oデータ記憶部アドレス503か
ら成っており、PI/Oデータ記憶部105と信
号の対応付けはプログラムの作成時になされてい
るものとする。

なお、接点コード502は、A接点、B接点等
の接点の種類を表わし、分岐コード401はシー
ケンス制御命令からシーケンス回路図を表示する
場合等、処理装置が命令を実行する際における処
理の仕方を判断するためのものである。

各命令の実行とこれに伴うPI/Oデータ記憶
部105へのアクセス手順について第3~5図を
用いて説明する。

まず、処理装置は、第4図のアドレス401か
ら領域301の命令を取り出し、接点コード502

からA接点であることを判断し、X001の状態
を示しているPI/Oデータ記憶部のアドレス
451を読み出し、この情報が、ONであるか
OFFであるかで条件の成立、不成立を記憶する。
次のアドレス402では出力であることを判断し
前の命令実行結果の条件成立、不成立データによ
りアドレス453にONまたはOFFデータをセ
ットする。同様にして、アドレス403の命令で
はアドレス452の状態を読み条件成立、不成立
を記憶する。アドレス404の命令では前シーケ
ンスサイクルでON出力された場合には前命令実
行結果にかかわらず一定シーケンスサイクル分
ONをアドレス454にセットし、前シーケンス
サイクルでOFFの場合は、前命令実行結果によ
りアドレス454にON、OFFをセットする。
アドレス405の命令ではアドレス454の内容を
読み出し、条件成立、不成立を記憶し、アドレ
ス406の命令では、次に並列回路があることを
知り、実行結果を退避し、アドレス407の命令
ではアドレス454の内容を読み出し、条件成立、

不成立を記憶する。アドレス408の命令では、
前述した2つの命令の実行結果の論理和をとり、
その結果の条件成立、不成立によってアドレス
455にON、OFFをセットする。アドレス
409命令では、前命令実行結果が条件成立であれ
ば、以降のシーケンスサイクルも継続して、アド
レス455にONのデータをセットする。アドレ
ス410の命令では、アドレス456の内容を読み
出し、条件成立、不成立を記憶し、アドレス
411の命令では前命令実行結果によりアドレス
456にONまたはOFFをセットする。最後に
アドレス412の命令を検知すると、シーケンス
制御プログラムの終了時であることを判断しプロ
グラムの実行を一旦終了する。処理装置101は
一定周期(例えば30ms)でこの一連のシーケ
ンス制御命令の実行を繰り返すことになる。

次に、この様に実行されるシーケンス制御プロ
グラムに対しPI/Oデータ記憶部105上で第
7図に示すようなシーケンスサイクル単位での時
間的変化が生じた場合を考えると、PI/Oデー

タ記憶部105の内容は第8図の様に変化する。
第8図によれば、T1のタイミングではX002、
T001の変化が示されているため、領域311
にあるY000がONになった経過がわかるが、
タイミングT2では状態変化が全くないため判断
できない。

次に実行履歴収集部の動作をタイミングT1の
状態を残す手順を例にとつて説明する。ここでは
第3図の領域311がONになる前後の2シーケ
ンスサイクルの実行履歴を残す場合につき説明す
る。

まず、実行履歴を収集する条件として、第3図
における領域311がONとなることを定め、条
件成立前収集するシーケンス制御サイクル数およ
び条件成立後収集するシーケンス制御サイクル数
を入力装置110より指示する。

トレース条件設定部109は第4図に示したプ
ログラム記憶部104に格納されているシーケン
ス制御プログラムをサーチして取り出し、第9図
に示すようにアドレス411にある領域311に

おする命令を格納したアドレス411とシーケンスニード命令を格納したアドレス412との間に実行履歴トレース処理部へリンクするための実行履歴トレースリンク命令をアドレス412として格込み、トレース条件設定部109にトレース指示、トレース条件、条件成立前および条件成立後収集するシーケンス制御サイクル数等をセットする。第10図は第1図においてトレース条件記憶部108内に格納されるデータの構成を上記条件設定例で示したものである。

両図によればトレース指示フラグ601、条件成立前収集の有無を示すフラグ602、判定条件数を示すデータ603、P I/Oデータ記憶部アドレス例えば456を示すデータ604、P I/Oデータ記憶部のON条件を示すフラグ605および条件成立後収集するシーケンスサイクル数を示すデータ605がトレース条件記憶部108内に格納されていることがわかる。

次に実行履歴記憶部107は第11図に示されるようにP I/Oデータ記憶部105の領域を

トレースメモリの1つとしてその5倍の領域が確保されたものとなっている。

シーケンス制御プログラムが実行された際における実行履歴トレース処理部の起動および実行は次の通りである。

まず、処理装置101が第9図に示される命令をアドレス401から順次取り出して実行し、実行結果をP I/Oデータ記憶部に格納する。処理装置1がアドレス412で、実行履歴トレースリンク命令を検知すると処理は実行履歴トレース処理部106に移り、この実行履歴トレース処理部106は以下のように動作する。

実行履歴トレース処理部は第12図に示されるように実行履歴トレースメモリの先頭アドレス701、最後アドレス702、次格込みアドレス703とP I/Oデータメモリ先頭アドレス704、P I/Oデータのメモリサイズ705と条件成立済みフラグ706をP I/Oデータメモリ105およびトレース条件記憶部108から受けとり、実行履歴記憶メモリに対して出力する。この動作

の詳細は第13図のフローチャートに示される。

まず、トレース条件記憶部108内のトレース指示フラグの有無が調べられ(ステップ801)指示が有れば("1")、次の処理を行い、無ければ("0")トレース処理を終了し、シーケンス制御プログラムの次の命令の実行に移る。

なお、処理の前に条件成立済みか否かを調べ(ステップ802)、成立していない時は条件成立前収集フラグが立っているか否かを調べて(ステップ803)、フラグが立っていない時は再度条件成立を確認の上(ステップ809)終了する。ステップ802で条件成立、あるいは条件成立前収集フラグが立っている時には、P I/Oデータメモリ先頭アドレス704から、P I/Oデータメモリの内容をP I/Oデータメモリサイズ705分トレースメモリ次格込みアドレス703で示されるトレースメモリに転送する(ステップ804、805)。

転送後、次格込みアドレスはサイクリックに更新される。すなわち、次格込みアドレス703が

トレースメモリ最終アドレス702よりも大きい時は(ステップ806)次格込みアドレスをトレースメモリの先頭アドレスとして(ステップ807)次格込みアドレスの方が小さい時は(ステップ808)ステップ808にとぶ。次に、条件が成立済みチェックする(ステップ808)、これは、指定されたシーケンスサイクル分だけ条件成立後に収集するためのものである。

条件成立済みフラグがセットされていない場合は、トレース条件記憶部のトレース条件をチェックする(ステップ809)。すなわち、第10図におけるP I/Oデータメモリアドレス(第5図における456のアドレスが設定されている)が示すメモリの内容が条件(ON)604かどうかをチェックし、成立している時は条件成立済みを設定する(ステップ810)。条件成立済みフラグがセットされた後、次のシーケンスサイクルで起動されると同様にしてデータ収集後第10図における収集すべきサイクル数を表わすデータ格納部605を1回通る毎に1減算し(ステップ811)

トレース指示フラグ 601 が 0 となるまで処理が繰り返される。トレース指示フラグ 601 がリセットされると処理が終了する (ステップ 813)。

以上の処理により実行履歴トレースメモリ 106 には第 4 図で示される実行履歴が残る。第 14 図を見ると、トレースメモリ 1 および 2 には条件成立時の 2 シーケンスサイクルで収集した情報、トレースメモリ 3 には条件成立直後に収集した情報、トレースメモリ 4 および 5 には条件成立後の 2 シーケンスサイクルで収集した情報が格納されていることがわかる。なお、第 14 図における各行は第 4 図におけるアドレス 451 ~ 456 に対応させてある。

このようにして収集されたデータは、第 1 図におけるプログラム構造表示部 103 により表示装置 602 にプログラム構造と共に表示される。

プログラム構造表示部 103 について詳述すると、入力装置 110 より指示された実行履歴トレースメモリ NO と、PI/O データメモリアドレス 403 より第 15 図に示されるフローに従って

して $C = e + (f - 1) \cdot h$ を計算することにより、当該トレースエリアの先頭アドレス C を得る (ステップ 904)。

この結果は第 19 図のように表示され、また、第 13 図におけるトレースメモリ NO5 を用いて表示すると第 20 図のように表示される。

従って、実行履歴記憶メモリに該当収集データが残っている限り任意のタイミングで表示を行うことが可能となる。

次に先頭アドレス C がトレースメモリの最終アドレス i よりも大きいかなかを調べ (ステップ 905)、大きい時は C からトレースメモリ先頭アドレス d を引いた数を新たな先頭アドレスとする (ステップ 906)。

続いて先にアドレス a で示される命令を取り出してその中の PI/O データメモリアドレスを取出して b とし (ステップ 907)、該当トレースエリア上のアドレス j を $j = c + (b - a)$ に従って求める (ステップ 908)。

次に j で示されるアドレスのトレースデータメ

処理し、実行履歴を表示装置に表示する。ここでは第 5 図におけるアドレス 456 と第 13 図におけるトレースメモリ NO3 が指定された場合で説明する。

まず、シーケンス制御プログラムより第 9 図の各命令の中の PI/O データメモリアドレスが指定されたアドレス x、例えば S.TS6 であるかをチェックする (ステップ 9)。次に該当アドレスの存在が調べられ (ステップ 902) 第 9 図の場合には COM11 が該当する。

次に本装置においては表示装置に表示できる命令数が y 例えば 9 であり、また、その命令より 9 個分前の命令からの実行履歴を表示するとすれば表示される先頭の命令のアドレスが $a = x - y$ に従って求められ、第 9 図の場合、アドレス 402 が求められる (ステップ 903)。

次に実行履歴トレースメモリの次番込みアドレス e の指示エリアを最も古いデータと判断し、それをトレース NO1 と仮定して、トレースメモリ NO1 を f、PI/O データメモリサイズを h と

メモリの内容を読出し (ステップ 909)、その内容を表示装置に表示する (ステップ 910)。

その後 $a = a + 1$ に従って a が x よりも大きくなるまで表示データの読出しが続けられる (ステップ 911、912)。

〔発明の効果〕

以上のように本発明によれば、過去の実行履歴を所定条件に従って保存するようにしているため、シーケンス制御プログラムの任意の実行ポイントにおいて、条件成立時の全ての外部信号の状態を取り出すことができ、かつプログラム構造上に表示でき、過去の実行履歴を見ることができるようになり、プログラムのデバッグや故障発生時の対処に非常に役立つという効果がある。

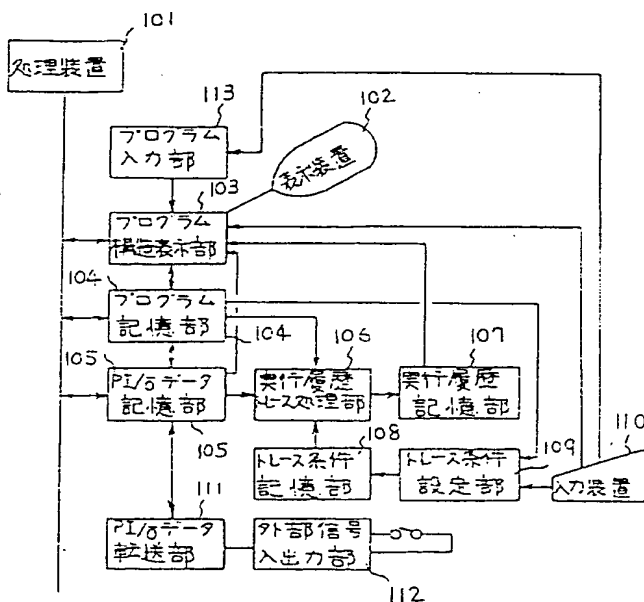
4. 図面の簡単な説明

第 1 図は本発明にかかる実行履歴表示装置の概略構成図、第 2 図は実行履歴トレース命令を組み込んだシーケンス制御プログラム例を示す図、第 3 図は回路図とシーケンス命令の対応を示す図、第 4 図は第 3 図のシーケンス制御プログラムの構

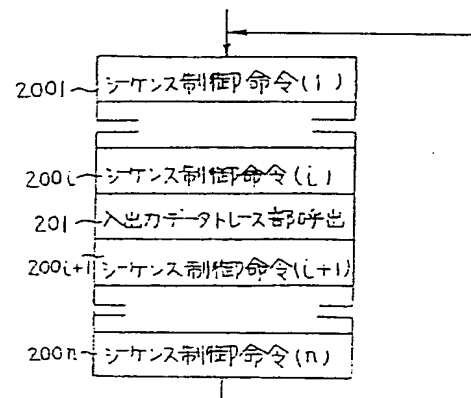
成図、第5図は第3図における各信号に対応するP I/Oデータメモリの構成図、第6図はシーケンス制御命令の構成を示す図、第7図は入力信号のシーケンスサイクル単位の時間的変化例を示す図、第8図はシーケンス制御プログラム実行時のP I/Oデータメモリの時間的変化例を示す図、第9図は第4図のプログラムにトレース部リンク命令を挿込んだ例を示す構成図、第10図はトレース条件記憶部の構成を示す構成図、第11図は実行履歴トレースメモリの構成例を示す構成図、第12図は実行履歴トレース処理部の構成および機能を示す図、第13図は実行履歴トレース処理部における処理フローを示すフローチャート、第14図は第11図のトレースメモリに収められたデータの例を示す図、第15図はプログラム構成表示部における処理フローを示すフローチャート、第16図は従来のシーケンス制御状況表示装置の概略図を示す構成図、第17図はシーケンス制御プログラムの例を示す構成図、第18図は第17図における各信号の変化例を示すタイミングチャート、第19図は第18図のポイントAの状態図、第20図は第18図のポイントBの状態図である。101…処理装置、102…表示装置、103…プログラム構成表示部、104…プログラム記憶部、105…P I/Oデータ記憶部、106…実行履歴トレース処理部、107…実行履歴記憶部、108…トレース条件記憶部、109…トレース条件設定部、110…入力装置、111…P I/Oデータ転送部、112…外部信号入出力部、113…プログラム入力部。

代理人 井理士 菊沼辰之

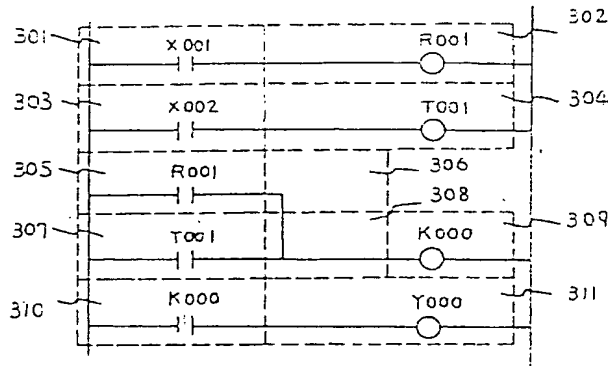
第1図



第2図



第 3 図



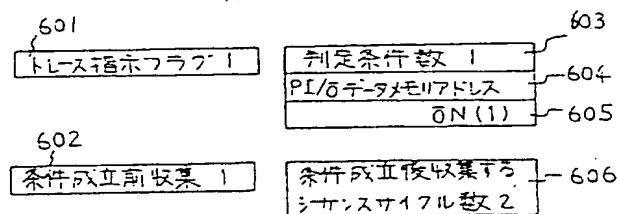
第 4 図

4.01	301 n 命令
4.02	302 n 命令
4.03	303 n 命令
4.04	304 n 命令
4.05	305 n 命令
4.06	306 n 命令
4.07	307 n 命令
4.08	308 n 命令
4.09	309 n 命令
4.10	310 n 命令
4.11	311 n 命令
4.12	シーケンス END 命令

第 9 図

4.01	301 n 命令
4.02	302 n 命令
4.03	303 n 命令
4.04	304 n 命令
4.05	305 n 命令
4.06	306 n 命令
4.07	307 n 命令
4.08	308 n 命令
4.09	309 n 命令
4.10	310 n 命令
4.11	311 n 命令
4.12	実行履歴トレースリソ命令
4.13	シーケンス END 命令

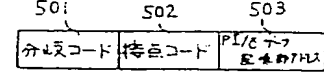
第 10 図



第 5 図

4.51	X001 n 状態
4.52	X002 n 状態
4.53	R001 n 状態
4.54	T001 n 状態
4.55	K000 n 状態
4.56	Y000 n 状態

第 6 図



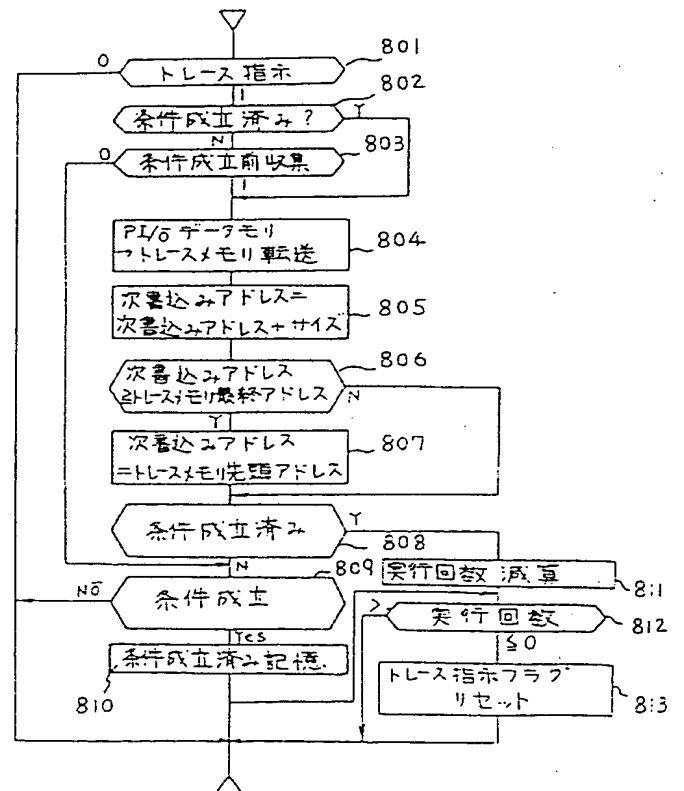
第 7 図

X001	0	0	0	0	0	0	0
X002	0	0	1	1	0	0	0

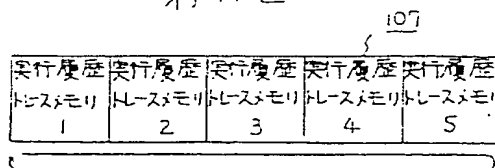
第 8 図

X001	0	0	0	0	0	0	0
X002	0	0	1	1	0	0	0
R001	0	0	0	0	0	0	0
T001	0	0	1	1	1	0	0
K000	0	0	1	1	1	1	1
Y000	0	0	1	1	1	1	1

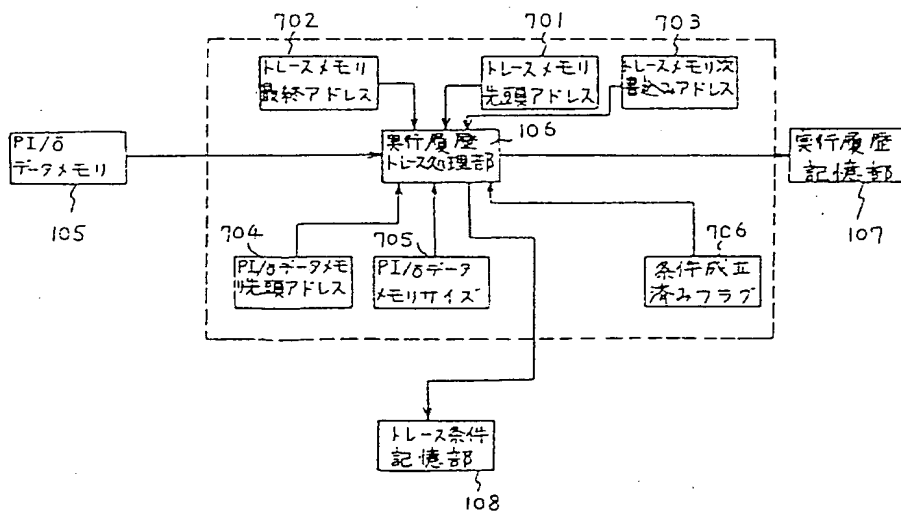
第 13 図



第三圖



第 12 圖



第 14 圖

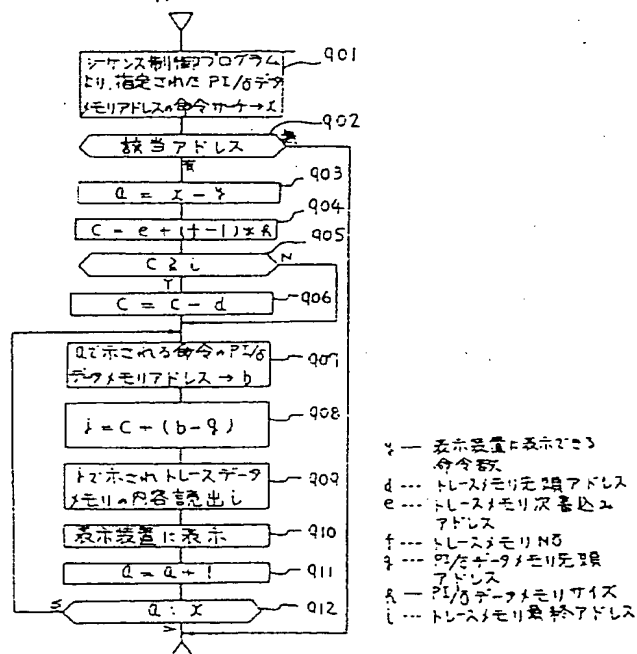
← トレースメモリー

1	2	3	4	5
0	0	0	0	0
0	0	1	1	0
0	0	0	0	0
0	0	1	1	1
0	0	1	1	1
0	0	1	1	1

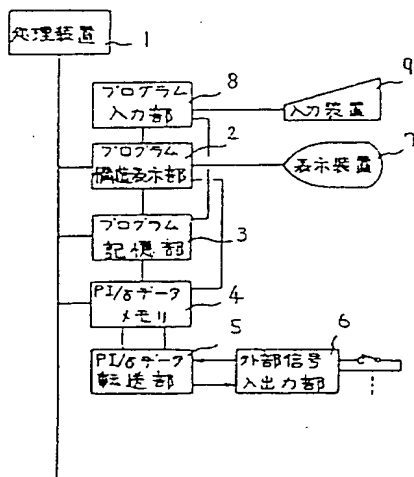
4

次書込メールアドレス

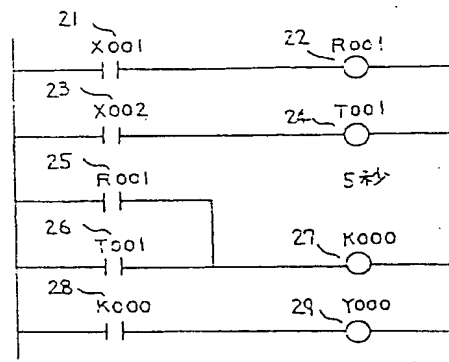
第 15 図



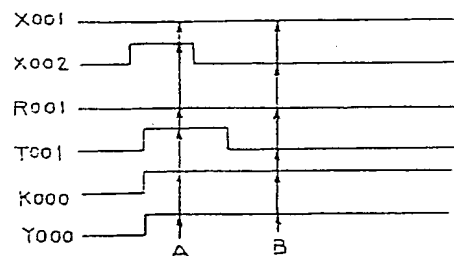
第 16 図



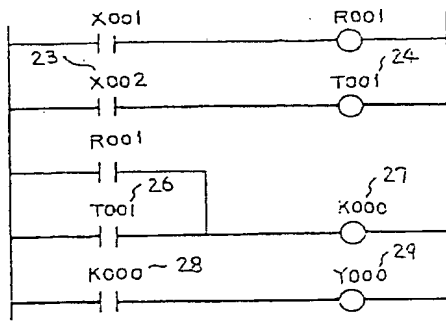
第 17 図



第 18 図



第 19 図



第 20 図

